

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 03 日
Application Date申請案號：092118166
Application No.申請人：南亞科技股份有限公司
Applicant(s)局長
Director General

蔡練生

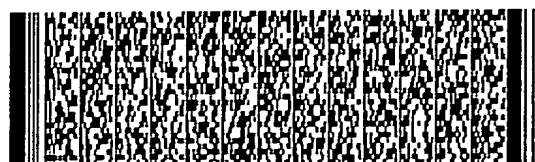
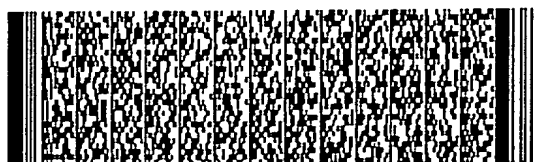
發文日期：西元 2003 年 8 月 15 日
Issue Date發文字號：09220826610
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	具有垂直型電晶體與溝槽電容器之記憶體裝置及其製造方法
	英文	Memory device with vertical transistors and deep trench capacitors and manufacturing method thereof
二、 發明人 (共3人)	姓名 (中文)	1. 吳昌榮 2. 陳逸男 3. 吳鐵將
	姓名 (英文)	1. Chang-Rong Wu 2. Yi-Nan Chen 3. Tieh-Chiang Wu
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 台北縣板橋市民生路一段28-9號26樓 2. 台北市北投區建民路151巷4號 3. 宜蘭縣三星鄉萬德村93-7號
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 南亞科技股份有限公司
	名稱或姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



四、中文發明摘要 (發明名稱：具有垂直型電晶體與溝槽電容器之記憶體裝置及其製造方法)

本發明提供一種具有垂直型電晶體與溝槽電容器之記憶體裝置及其製造方法，包括：一基底，其具有至少一溝槽；一溝槽電容器，設置於溝槽下部；一導線結構，設置於溝槽電容器上方；一溝槽頂端絕緣層，係一疊層結構，設置於導線結構上方，其結構包含一第一絕緣層及一第二絕緣層，且第一絕緣層係一間隙壁襯墊於溝槽側壁上而第二絕緣層設置於第一絕緣層所包圍之區域中；一控制閘極，設置於溝槽頂端絕緣層上方；一埋入帶，形成於第二導電層周圍之基底中；及一摻雜區，形成於控制閘極上方周圍之基底中。

伍、(一)、本案代表圖為：第4圖。

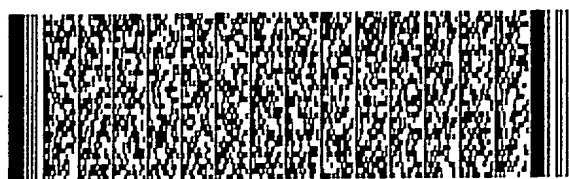
(二)、本案代表圖之元件代表符號簡單說明：

100～基底；

110～埋入式電極板；

六、英文發明摘要 (發明名稱：Memory device with vertical transistors and deep trench capacitors and manufacturing method thereof)

A memory device with vertical transistors and deep trench capacitors. This device includes a substrate containing at least one deep trench and a capacitor disposed in the lower position of the deep trench. A conducting wire is provided on the capacitor. A trench top isolation (TTO), a stacked layer containing a first isolation layer and a second isolation layer, is provided on the



四、中文發明摘要 (發明名稱：具有垂直型電晶體與溝槽電容器之記憶體裝置及其製造方法)

112 ~ 電容器介電層；
114 ~ 電極板；
115 ~ 溝槽電容器；
120 ~ 環狀絕緣層；
122 ~ 第一導電層；
124 ~ 第二導電層；
126 ~ 導線結構；
128 ~ 埋入帶；
130 ~ 第一絕緣層；
132 ~ 第二絕緣層；
134 ~ 溝槽頂端絕緣層；
140 ~ 閘極氧化層；
142 ~ 閘極導電層；
144 ~ 控制閘極；
146 ~ 摻雜區。

六、英文發明摘要 (發明名稱：Memory device with vertical transistors and deep trench capacitors and manufacturing method thereof)

conducting wire, wherein the first isolation layer is a liner of the deep trench and is disposed on the sidewall of the second isolation layer as a spacer. A control gate is provided on the T10. A buried strap is provided within the substrate beside the conducting wire. A doping area is provided within the substrate beside the control gate. A manufacturing method for forming such



四、中文發明摘要 (發明名稱：具有垂直型電晶體與溝槽電容器之記憶體裝置及其製造方法)

六、英文發明摘要 (發明名稱：Memory device with vertical transistors and deep trench capacitors and manufacturing method thereof)

memory device is also disclosed.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明係關於一種記憶體裝置，特別是有關於一種具有垂直型電晶體與溝槽電容器之記憶體裝置及其製造方法。

【先前技術】

積體電路的發展技術日新月異，其發展趨勢往功能強大，尺寸縮小與速度加快的方向前進，而動態隨機存取記憶體（DRAM）的製造技術亦是如此，尤其是其記憶容量的增加更是最重要的關鍵。

現今大多數的DRAM單元是由一個電晶體與一個電容器所構成。由於目前DRAM之記憶容量已達到256百萬位甚至512百萬位元以上，在元件積集度要求越來越高的情況下，記憶單元與電晶體的尺寸需要大幅縮小，才可能製造出記憶容量更高，處理速度更快的DRAM。然而，傳統平板電容的設計方式，會占據太多晶片表面的面積而無法符合上述需求。利用立體化的製程技術，可以大量地減少電晶體與電容器於半導體基底上所佔佈之面積，因此立體化技術開始被運用於DRAM的製程上，例如垂直型電晶體與溝槽型電容器。相對於傳統平板式電晶體佔佈半導體表面相當大的面積，無法滿足目前高度積集化的需求，因此可大幅改善習知的半導體記憶單元的缺點，已成為目前及未來製造半導體記憶單元的主要潮流。

具有垂直型電晶體與溝槽電容器之記憶體裝置中的溝



五、發明說明 (2)

槽頂端絕緣層，傳統上是由高密度電漿氧化物(High Density Plasma oxide，簡稱HDP oxide)所組成的單層結構，然而其缺點為此絕緣層之結構較鬆散，在沉積時容易產生孔洞(void)，容易因溝槽側壁表面不平整而與無法與溝槽側壁有良好之附著，且沉積在晶圓邊緣區域之厚度均勻度不佳，因此在蝕刻時，容易在溝槽頂端絕緣層與溝槽側壁之間產生空隙，使得溝槽頂端絕緣層的絕緣效果降低，亦會造成溝槽頂端絕緣層盤形輪廓(dish profile)，使得其厚度均勻度控制不佳。

【發明內容】

有鑑於此，本發明之目的，在於提供一種新的具有垂直型電晶體與溝槽電容器之記憶體裝置及其製造方法，可有效防止溝槽頂端絕緣層與溝槽側壁之間產生空隙而提高絕緣效果。

本發明之另一個目的，在於提供一種新的具有垂直型電晶體與溝槽電容器之記憶體裝置及其製造方法，可使溝槽頂端絕緣層之厚度均勻度提高。

本發明的主要特徵在於提供一種新的溝槽頂端絕緣層，其結構為一種疊層結構，其材質例如是氧化矽-氮化矽-氧化矽(oxide-nitride-oxide，簡稱ONO)的疊層結構，且其結構包含第一絕緣層及第二絕緣層。第一絕緣層係一間隙壁襯墊於溝槽側壁上，其結構是一種疊層結構，其材質例如是氧化矽-氮化矽(oxide-nitride，簡稱ON)的疊

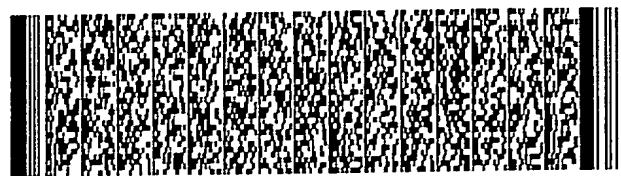
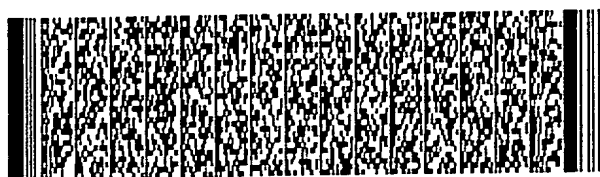


五、發明說明 (3)

層結構，可改善溝槽側壁表面不平整的現象，防止溝槽頂端絕緣層與溝槽側壁之間因附著情形不佳而產生空隙，進而提高絕緣效果。而第二絕緣層設置於第一絕緣層所包圍之區域內，其形成方法係使用化學氣相沉積法(LPCVD)來取代習知之HDP oxide。LPCVD之優點在於所沉積之第二絕緣層之結構較緻密，與表面不平整的溝槽側壁或與第一絕緣層之間的附著情形良好，且不易產生孔洞，只會產生不影響溝槽頂端絕緣層厚度均勻度之細縫(seam)，因此可防止第二絕緣層與溝槽側壁之間或與第一絕緣層間隙壁之間產生空隙而提高絕緣效果，亦可防止溝槽頂端絕緣層發生盤形輪廓，而其厚度可得到良好的控制而得到較佳之均勻度。

此外，本發明提供一種具有垂直型電晶體與溝槽電容器之記憶體裝置，其結構如下：一基底，其具有至少一溝槽；一溝槽電容器，設置於每一溝槽下部；一導線結構，設置於每一溝槽電容器上方；一溝槽頂端絕緣層，設置於每一導線結構上方，其結構包括一第一絕緣層及一第二絕緣層，且第一絕緣層係一間隙壁襯墊於溝槽側壁上而第二絕緣層設置於第一絕緣層所包圍之區域中；一控制閘極，設置於每一溝槽頂端絕緣層上方；一埋入帶，形成於每一第二導電層周圍之基底中；及一摻雜區，形成於每一控制閘極上方周圍之基底中。

本發明並提供一種具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，包括以下步驟：提供一半導體基



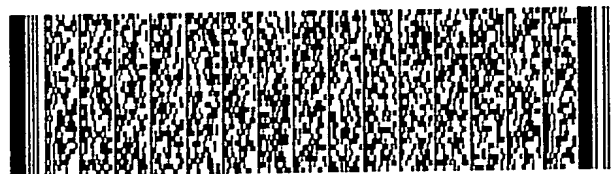
五、發明說明 (4)

底；於基底中形成至少一溝槽；於每一溝槽下部形成一溝槽電容器；於每一溝槽電容器上方形成一導線結構；於每一導線結構上方形成一溝槽頂端絕緣層，其形成方法包括形成一第一絕緣層與形成一第二絕緣層，且第一絕緣層係一間隙壁襯墊於溝槽側壁上而第二絕緣層設置於第一絕緣層所包圍之區域中；於每一溝槽頂端絕緣層上方形成一控制閘極；於每一導線結構周圍之基底中形成一埋入帶；及於每一控制閘極上方周圍之基底中形成一摻雜區。

【實施方式】

以下係配合第1~4圖詳細說明根據本發明之具有垂直型電晶體與溝槽電容器的動態隨機存取記憶體(DRAM)之結構的製造方法之一實施例。

如第1圖所示，提供一基底100，例如是矽基底，於基底100上形成一罩幕層102，此罩幕層102例如是由墊氧化層和氮化矽層所構成，其具有矩陣圖案，其圖案為暴露出溝槽(DT)的區域。接著進行蝕刻製程，將此罩幕層102的圖案轉移至基底100中，以於基底100中形成溝槽104。接著於溝槽104的下面部分形成電容器115，其結構包括：埋入式電極板(BP)110、順應性的電容器介電層112與電極板114。其中，埋入式電極板110為N+型摻雜區，位於溝槽104底部之基底中，電極板114的材質例如是摻雜的複晶矽，電容器介電層112的材質例如是氧化矽-氮化矽(oxide-nitride，簡稱ON)的疊層結構、或是氧化矽-氮



五、發明說明 (5)

化矽-氧化矽 (oxide-nitride-oxide, 簡稱ONO) 的疊層結構。上述結構之形成方式可以習知之技術實施, 其方法例如是在溝槽104的表面形成一層例如為N+型之摻雜的介電層, 例如砷矽玻璃 (arsenic silicate glass, 簡稱ASG), 接著於溝槽104中填入一預定深度之光阻材質, 再藉由濕蝕刻移除未為光阻材質覆蓋之摻雜的介電層, 之後將光阻材質移除, 再順應性沉積一絕緣層, 例如四乙氧基矽酸鹽 (TEOS), 以防止摻雜離子在後續之熱製程中擴散至未被摻雜的介電層所覆蓋之溝槽104側壁周圍之基底100中, 之後經由熱製程將摻雜的介電層中之摻雜離子趨入基底100中, 而形成例如為N+型之摻雜區, 以做為埋入式電極板110, 接著移除絕緣層與摻雜的介電層, 之後順應性沉積一介電層和沉積一導電層以填滿溝槽104, 並利用回蝕刻製程移除溝槽上部與基底100表面的介電層與導電層以於溝槽下部形成電容器介電層112與電極板114。

接著如第2圖所示, 順應性沈積一層絕緣層, 材質例如是氧化矽, 之後進行蝕刻製程以移除罩幕層102上方與電容器115上方表面之絕緣層, 以於溝槽104側壁上形成環狀絕緣層120以作為後續之導線結構與基底100之絕緣阻隔。接著沈積第一導電層122以填滿溝槽104, 材質例如是摻雜的複晶矽或摻雜的非晶矽, 然後進行二次回蝕刻製程分別蝕刻第一導電層122與環狀絕緣層120至既定位置, 以使第一導電層122被環狀絕緣層120所包圍, 且環狀絕緣層120在溝槽104之高度低於第一導電層122之高度。然後沉



五、發明說明 (6)

積第二導電層124，材質例如是無摻雜的複晶矽或非晶矽，然後回蝕刻第二導電層124以使其覆蓋於第一導電層122與環狀絕緣層120之上方。在本實施例中，第一及第二導電層122，124係構成本發明之記憶體裝置中之導線結構126。

接下來如第3圖所示，於第二導電層124上方、溝槽104側壁上以及罩幕層102表面順應性沉積第一絕緣層130，材質例如是氧化矽-氮化矽(oxide-nitride, ON)之疊層結構，其氧化矽之形成方式例如是使用熱氧化法形成，其厚度在40至100埃之間，較佳者為50埃，其氮化矽之形成方式例如是使用化學氣相沉積法(CVD)形成，其厚度在1200至1500埃之間，較佳者為1300埃。然後進行一非等向性回蝕刻製程以移除第二導電層124上方與罩幕層102表面之第一絕緣層130，以使第一絕緣層130形成一間隙壁襯墊於溝槽104之側壁上。接著再沉積第二絕緣層132以填滿溝槽104，其材質例如是選自下列各物質：硼磷矽玻璃(BPSG)、磷矽玻璃(PSG)、無摻雜質矽玻璃(NSG)或四乙氧基矽酸鹽(TEOS)，其形成方式例如是使用低壓化學氣相沉積法(LPCVD)。然後進行回蝕刻製程蝕刻第二絕緣層132，使其位於第一絕緣層130所包圍之區域內，其厚度為200至400埃之間，較佳者為300埃。然後再進行一蝕刻製程去除第二絕緣層132上方之溝槽104側壁上的第一絕緣層130，以使第一絕緣層130位於第二絕緣層132之側壁上。第一絕緣層130及第二絕緣層132係構成本發明之記憶體裝置之溝

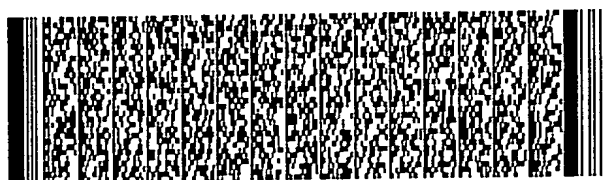


五、發明說明 (7)

槽頂端絕緣層134，用來作為後續之控制閘極144與上述導線結構126之絕緣阻隔。

此處應注意的是，上述中組成第一絕緣層130之疊層結構，其材料、厚度與形成方式以及第二絕緣層132之材料、厚度與形成方式僅為舉例說明之用，主要之精神在於先形成第一絕緣層130於溝槽104之側壁上以防止後續之第二絕緣層132與溝槽104之側壁之間產生空隙，然後再形成第二絕緣層132，以使本發明之記憶體裝置的溝槽頂端絕緣層成為一疊層結構，因此熟悉此技藝之人士當可依實際情況調整疊層結構之材料、厚度與形成方式。

最後，請參照第4圖，利用習知技術於溝槽頂端絕緣層130上方之溝槽104上半部形成閘極氧化層140與閘極導電層142，閘極導電層142之材質例如是複晶矽、鎢矽合金、金屬或其組合。其方法例如是使用熱氧化法於溝槽頂端絕緣層130上方之溝槽104側壁上形成閘極氧化層140，然後再於閘極氧化層140所包圍之區域中形成閘極導電層142。在本實施例中，閘極氧化層140及閘極導電層142係構成本發明之記憶體裝置中的控制閘極144。然後實施一離子佈值，以在控制閘極144周圍上方之基底100中形成一摻雜區146作為垂直電晶體之源極。埋入帶128的形成則是由後續之製程例如是熱擴散製程使摻雜於第一導電層122中的摻雜離子經由第二導電層124擴散至周圍基底100中來形成，且其區域上方之擴散半徑超過溝槽頂端絕緣層134之厚度而與控制閘極144電性連接。在本實施例中，埋入



五、發明說明 (8)

帶128作為垂直電晶體之汲極區。

請參照第4圖，係依照本實施例之具有垂直電晶體及溝槽電容之記憶體裝置，其結構如下：一溝槽設置於基底100中；溝槽電容器115，設置於溝槽下部，且其結構包括：埋入式電極板110、電容器介電層112與電極板114；導線結構126，設置於溝槽電容器115上方，並以環狀絕緣層120襯墊於溝槽側壁上作為導線結構126與基底100之隔絕，而導線結構126包括：第一導電層122，設置於環狀絕緣層120所包圍之區域中，以及第二導電層124，覆蓋於第一導電層122與環狀絕緣層120上方；溝槽頂端絕緣層134，設置於導線結構126上方，其結構包括第一絕緣層130及第二絕緣層132，且第一絕緣層130係一間隙壁襯墊於溝槽側壁上而第二絕緣層132設置於第一絕緣層130所包圍之區域中；控制閘極144，設置於溝槽頂端絕緣層130上方，且其結構包括閘極導電層142與閘極氧化層140；埋入帶128，形成於第二導電層124周圍之基底100中；以及摻雜區146形成於控制閘極144上方周圍之基底100中。

根據本發明之具有垂直電晶體及溝槽電容之記憶體裝置，係使用新的疊層結構的溝槽頂端絕緣層來取代習知之單層結構的溝槽頂端絕緣層，其疊層結構包括第一絕緣層與第二絕緣層。由於形成第一絕緣層間隙壁襯墊於溝槽側壁上，因此可改善溝槽側壁不平整之現象，避免溝槽頂端絕緣層與溝槽側壁之間因附著情形不佳而產生空隙，進而增加絕緣效果。而第二絕緣層設置於第一絕緣層所包圍之



五、發明說明 (9)

區域內，其形成方法係使用化學氣相沉積法(LPCVD)來取代習知之HDP oxide，LPCVD所沉積之第二絕緣層之結構較緻密，與溝槽側壁或與第一絕緣層之間的附著情形良好，且不易產生孔洞，因此可有效改善傳統之溝槽頂端絕緣層厚度均勻度不易控制、容易形成盤形輪廓、以及與溝槽側壁之間產生空隙之缺點。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

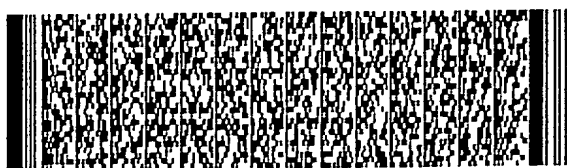


圖式簡單說明

第1至第4圖係根據本發明實施例之形成具有垂直電晶體與溝槽電容器之記憶體裝置之剖面示意圖。

【符號說明】

- 100 ~ 基底；
- 102 ~ 罩幕層；
- 104 ~ 溝槽；
- 110 ~ 埋入式電極板；
- 112 ~ 電容器介電層；
- 114 ~ 電極板；
- 115 ~ 電容器；
- 120 ~ 環狀絕緣層；
- 122 ~ 第一導電層；
- 124 ~ 第二導電層；
- 126 ~ 導線結構；
- 128 ~ 埋入帶；
- 130 ~ 第一絕緣層；
- 132 ~ 第二絕緣層；
- 134 ~ 溝槽頂端絕緣層；
- 140 ~ 閘極氧化層；
- 142 ~ 閘極導電層；
- 144 ~ 控制閘極；
- 146 ~ 摻雜區。



六、申請專利範圍

1. 一種具有垂直型電晶體與溝槽電容器之記憶體裝置，包括：

- 一基底，其具有至少一溝槽；
- 一溝槽電容器，設置於該溝槽下部；
- 一導線結構，設置於該溝槽電容器上方；
- 一溝槽頂端絕緣層，設置於該導線結構上方，係一疊層結構，其結構包括一第一絕緣層及一第二絕緣層，且該第一絕緣層係一間隙壁襯墊於該溝槽側壁上而該第二絕緣層設置於該第一絕緣層所包圍之區域中；及
- 一控制閘極，設置於該溝槽頂端絕緣層上方。

2. 如申請專利範圍第1項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中更包括：

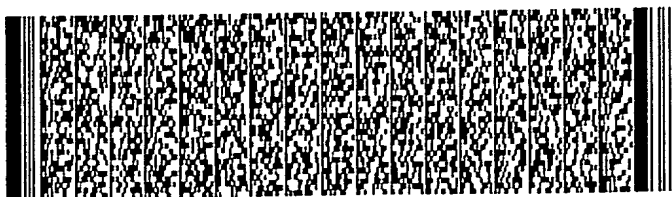
- 一埋入帶，形成於該導線結構周圍之該基底中，且其上部與該控制閘極電性連接，作為汲極。

3. 如申請專利範圍第1項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中更包括：

- 一摻雜區，形成於該控制閘極上方周圍之該基底中，作為源極。

4. 如申請專利範圍第1項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中該第一絕緣層係一氧化矽-氮化矽(oxide-nitride, ON)之疊層結構。

5. 如申請專利範圍第4項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中構成該疊層結構之該氧化矽之厚度在5至10埃之間。



六、申請專利範圍

6. 如申請專利範圍第4項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中構成該疊層結構之該氮化矽之厚度在40至50埃之間。

7. 如申請專利範圍第4項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中構成該疊層結構之該氧化矽係由熱氧化法所形成。

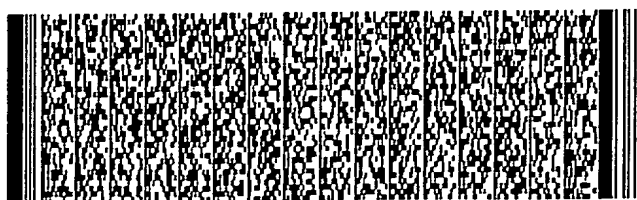
8. 如申請專利範圍第4項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中構成該疊層結構之該氮化矽係由化學氣相沉積法(CVD)所形成。

9. 如申請專利範圍第1項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中該第二絕緣層之材料係選自下列各物質：硼磷矽玻璃(BPSG)、磷矽玻璃(PSG)、無摻雜質矽玻璃(NSG)或四乙氧基矽酸鹽(TEOS)。

10. 如申請專利範圍第1項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中該第二絕緣層之厚度在200至400埃之間。

11. 如申請專利範圍第1項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中該第二絕緣層係由低壓化學氣相沉積法(LPCVD)所形成。

12. 如申請專利範圍第1項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中該導線結構係以一環狀絕緣層襯墊於該溝槽側壁上作為該導線結構與該基底之絕緣阻隔，且其結構包括一第一導電層及一第二導電層，且該第二導電層覆蓋於該第一導電層與該環狀絕緣層之上方。



六、申請專利範圍

13. 如申請專利範圍第12項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中該第一導電層之材質係由摻雜的複晶矽或摻雜的非晶矽所組成。

14. 如申請專利範圍第12項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中該第二導電層之材質係由複晶矽或非晶矽所組成。

15. 如申請專利範圍第12項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中該環狀絕緣層之材質係由一氧化矽所組成。

16. 如申請專利範圍第1項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中該控制閘極包括一閘極導電層與一閘極氧化層，且該閘極導電層係一複晶矽層、一鎢矽合金層、一金屬層或其組合。

17. 一種具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，包括：

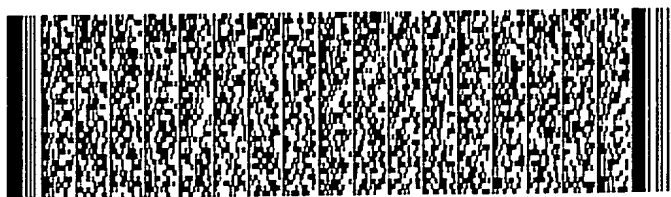
提供一半導體基底；

於該基底中形成至少一溝槽；

於該溝槽下部形成一溝槽電容器；

於該溝槽電容器上方形成一導線結構；

於該導線結構上方形成一溝槽頂端絕緣層，其結構為一疊層結構，其形成方法包括形成一第一絕緣層與形成一第二絕緣層，且該第一絕緣層係一間隙壁襯墊於該溝槽側壁上而該第二絕緣層設置於該第一絕緣層所包圍之區域中；及



六、申請專利範圍

於該溝槽頂端絕緣層上方形成一控制閘極。

18. 如申請專利範圍第17項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中更包括：

於該導線結構周圍之該基底中形成一埋入帶，且其上部與該控制閘極電性連接，作為汲極。

19. 如申請專利範圍第17項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中更包括：

於該控制閘極上方周圍之該基底中形成一摻雜區作為源極。

20. 如申請專利範圍第17項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該第一絕緣層係一氧化矽-氮化矽(oxide-nitride, ON)之疊層結構。

21. 如申請專利範圍第20項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中構成該疊層結構之該氧化矽之厚度在5至10埃之間。

22. 如申請專利範圍第20項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中構成該疊層結構之該氮化矽之厚度在40至50埃之間。

23. 如申請專利範圍第20項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中構成該疊層結構之該氧化矽係由熱氧化法所形成。

24. 如申請專利範圍第20項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中構成該疊層結構之該氮化矽係由化學氣相沉積法(CVD)所形成。



六、申請專利範圍

25. 如申請專利範圍第17項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該第二絕緣層之材料係選自下列各物質：硼磷矽玻璃(BPSG)、磷矽玻璃(PSG)、無摻雜質矽玻璃(NSG)或四乙氧基矽酸鹽(TEOS)。

26. 如申請專利範圍第17項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該第二絕緣層之厚度在200至400埃之間。

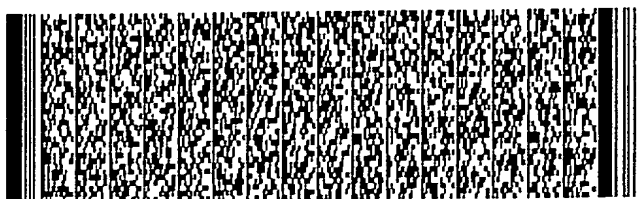
27. 如申請專利範圍第17項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該第二絕緣層係由低壓化學氣相沉積法(LPCVD)所形成。

28. 如申請專利範圍第17項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中形成該導線結構之方法係先形成一環狀絕緣層襯墊於該溝槽側壁上作為該導線結構與該基底之絕緣阻隔，然後再形成一第一導電層及一第二導電層，且該第二導電層覆蓋於該第一導電層與該環狀絕緣層之上方。

29. 如申請專利範圍第28項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該第一導電層之材質係由摻雜的複晶矽或摻雜的非晶矽所組成。

30. 如申請專利範圍第28項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該第二導電層之材質係由複晶矽或非晶矽所組成。

31. 如申請專利範圍第28項所述之具有垂直型電晶體



六、申請專利範圍

與溝槽電容器之記憶體裝置的製造方法，其中該環狀絕緣層之材質係由氧化矽所組成。

32. 如申請專利範圍第28項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該控制閘極包括一閘極導電層與一閘極氧化層，且該閘極導電層係一複晶矽層、一鎢矽合金層、一金屬層或其組合。

33. 一種具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，包括：

提供一半導體基底；

於該基底中形成至少一溝槽；

於該溝槽下部形成一溝槽電容器；

於該溝槽電容器上方、該溝槽側壁上以及該基底表面沉積一絕緣層；

回蝕刻該絕緣層以去除該溝槽電容器上方與該基底表面之該絕緣層而於該溝槽側壁上形成一環狀絕緣層；

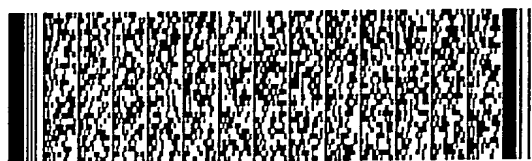
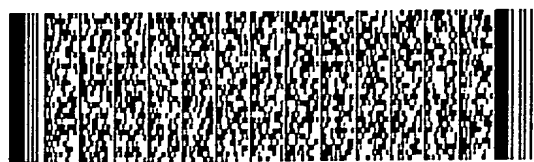
沉積一第一導電層以填滿該溝槽；

回蝕刻該第一導電層以使該第一導電層位於該環狀絕緣層所包圍之區域中；

回蝕刻該環狀絕緣層使其在該溝槽內之高度低於該第一導電層在溝槽內之高度；

於該第一導電層上方、該環狀絕緣層上方、該溝槽側壁上以及該基底表面沉積一第二導電層；

回蝕刻該第二導電層以去除該溝槽側壁上以及該基底表面之該第二導電層而使該第二導電層覆蓋於該第一導電



六、申請專利範圍

層與該環狀絕緣層之上方，且該第一導電層及該第二導電層係構成一導線結構；

於該第二導電層上方、該溝槽側壁上以及該基底表面順應性沉積一第一絕緣層；

回蝕刻該第一絕緣層以去除該第二導電層上方與該基底表面之該第一絕緣層而使該第一絕緣層位於該溝槽側壁上而形成一間隙壁；

沉積一第二絕緣層以填滿該溝槽；

回蝕刻該第二絕緣層以使該第二絕緣層位於該第一絕緣層所包圍之區域內；

回蝕刻該第一絕緣層以移除該第二絕緣層上方之該溝槽側壁上之該第一絕緣層以使該第一絕緣層位於該第二絕緣層之側壁上，且該第一絕緣層及該第二絕緣層係構成一溝槽頂端絕緣層；及

於該溝槽頂端絕緣層上方形成一控制閘極。

34. 如申請專利範圍第33項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中更包括：

於該導線結構周圍之該基底中形成一埋入帶，且其上部與該控制閘極電性連接，作為汲極。

35. 如申請專利範圍第33項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中更包括：

於該控制閘極上方周圍之該基底中形成一摻雜區作為源極。

36. 如申請專利範圍第33項所述之具有垂直型電晶體



六、申請專利範圍

與溝槽電容器之記憶體裝置的製造方法，其中該第一絕緣層係一氧化矽-氮化矽(oxide-nitride, ON)之疊層結構。

37. 如申請專利範圍第36項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中構成該疊層結構之該氧化矽之厚度在5至10埃之間。

38. 如申請專利範圍第36項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中構成該疊層結構之該氮化矽之厚度在40至50埃之間。

39. 如申請專利範圍第36項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中構成該疊層結構之該氧化矽係由熱氧化法所形成。

40. 如申請專利範圍第36項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中構成該疊層結構之該氮化矽係由化學氣相沉積法(CVD)所形成。

41. 如申請專利範圍第33項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該第二絕緣層之材料係選自下列各物質：硼磷矽玻璃(BPSG)、磷矽玻璃(PSG)、無摻雜質矽玻璃(NSG)或四乙氧基矽酸鹽(TEOS)。

42. 如申請專利範圍第33項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該第二絕緣層之厚度在200至400埃之間。

43. 如申請專利範圍第36項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該第二絕緣



六、申請專利範圍

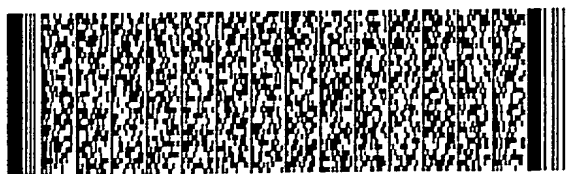
層係由低壓化學氣相沉積法(LPCVD)所形成。

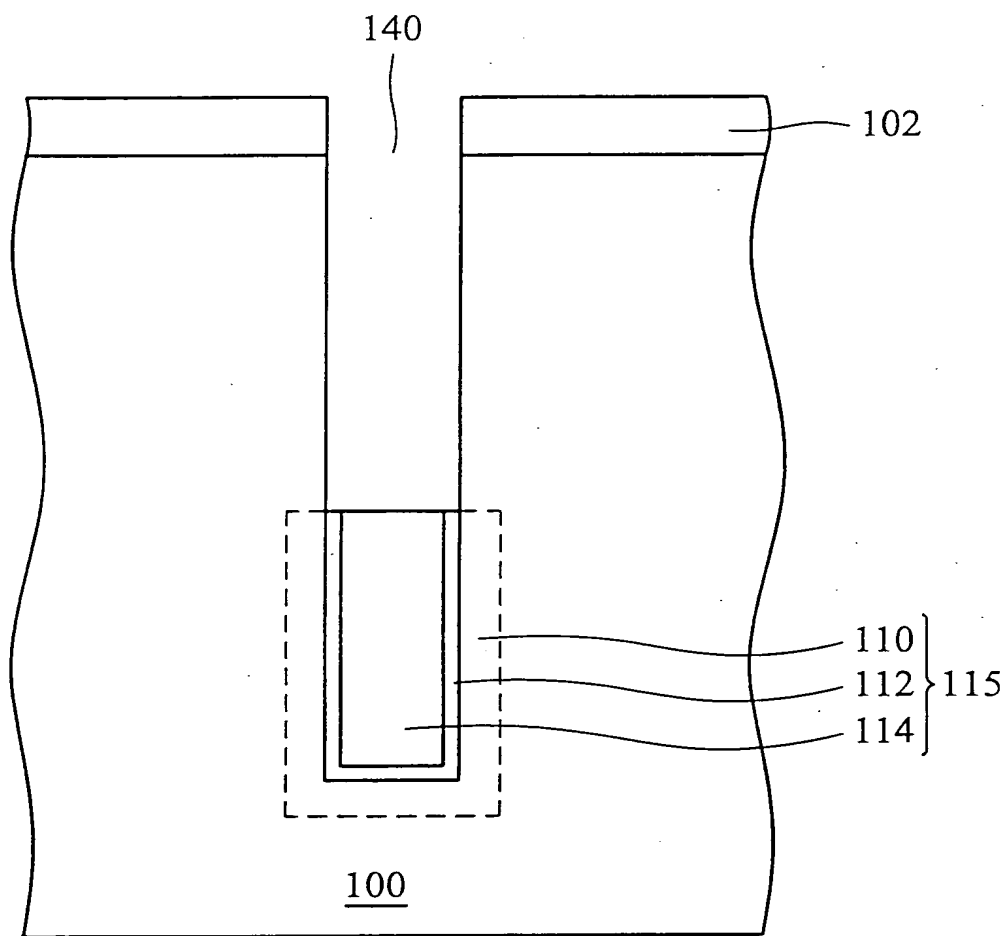
44. 如申請專利範圍第33項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該第一導電層之材質係由摻雜的複晶矽或摻雜的非晶矽所組成。

45. 如申請專利範圍第33項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該第二導電層之材質係由複晶矽或非晶矽所組成。

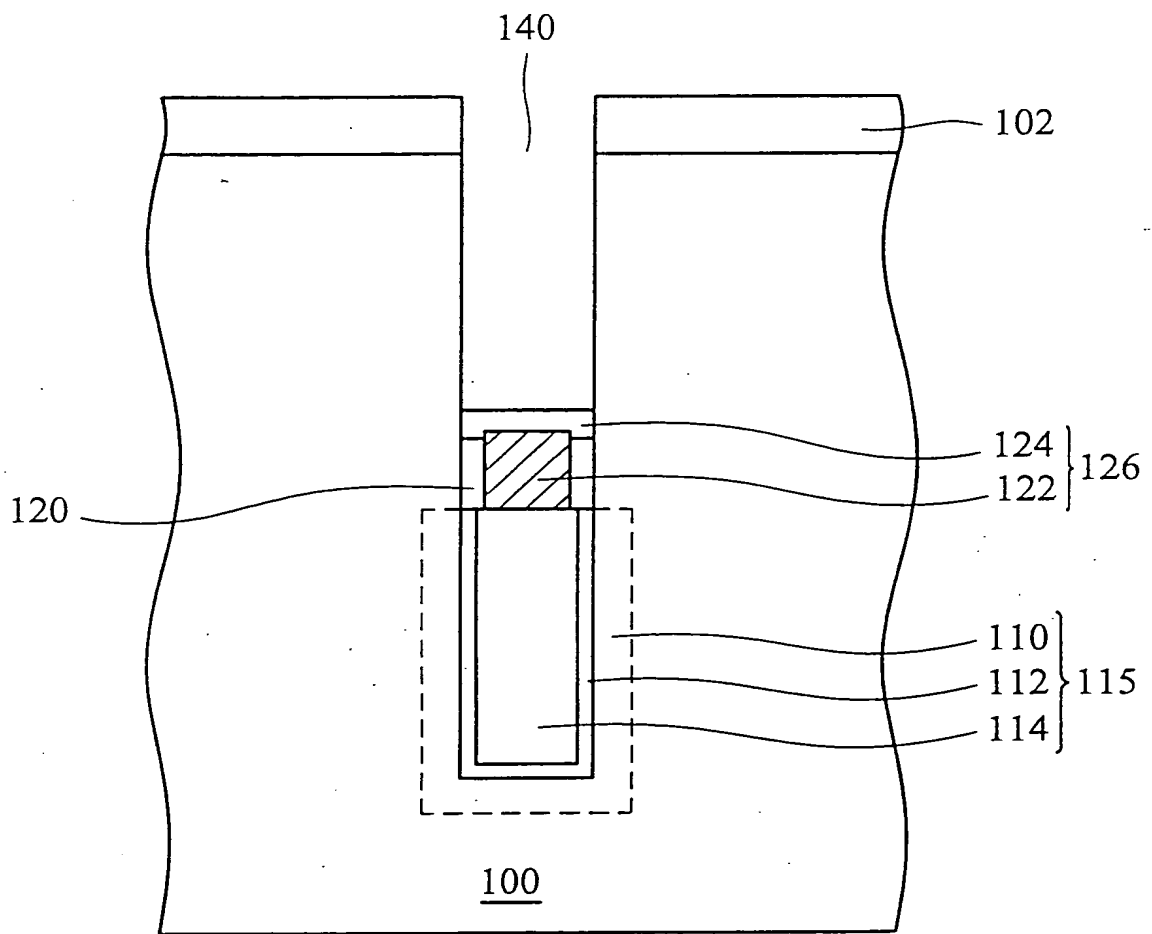
46. 如申請專利範圍第33項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該環狀絕緣層之材質係由氧化矽所組成。

47. 如申請專利範圍第33項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該控制閘極包括一閘極導電層與一閘極氧化層，且該閘極導電層係一複晶矽層、一鎢矽合金層、一金屬層或其組合。

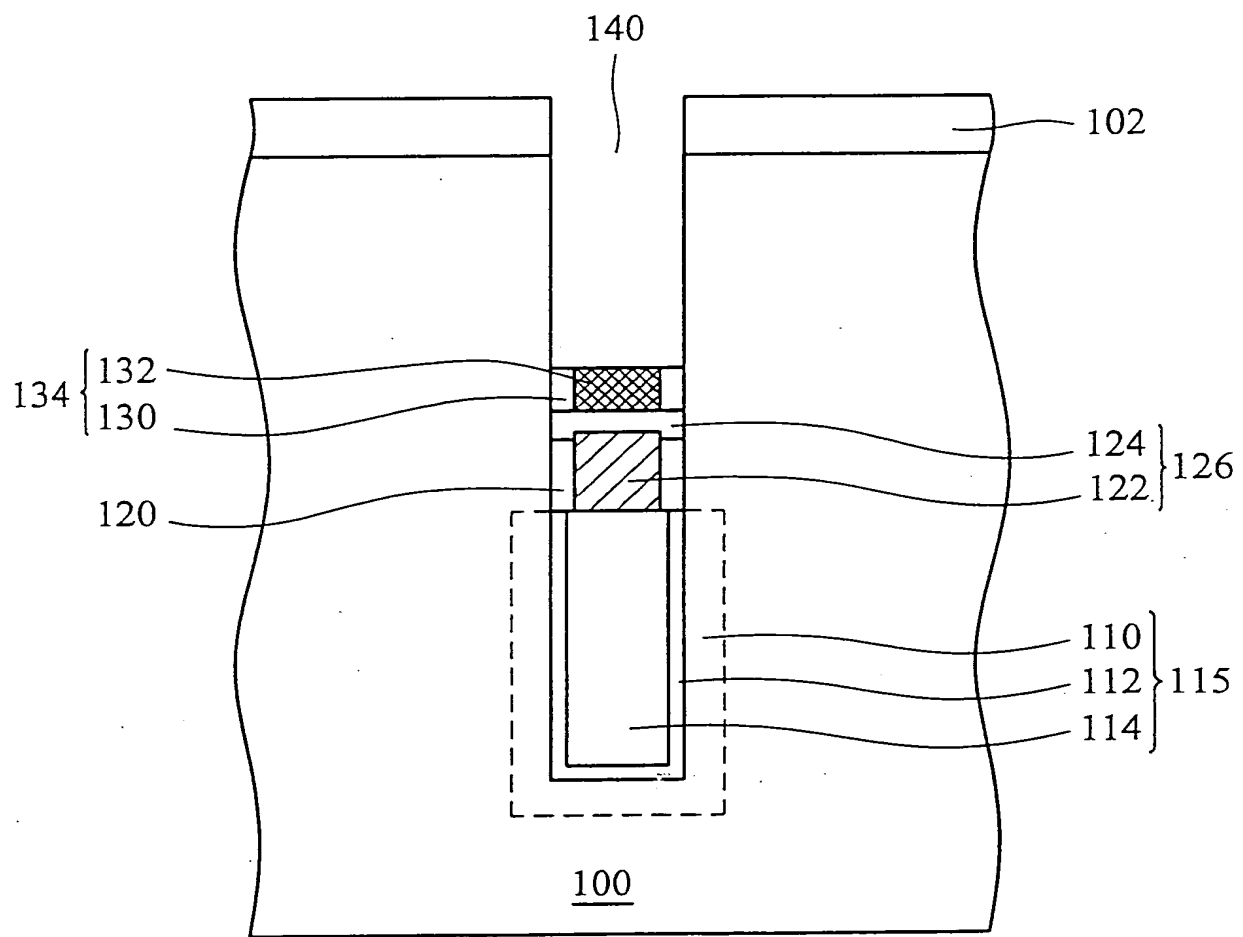




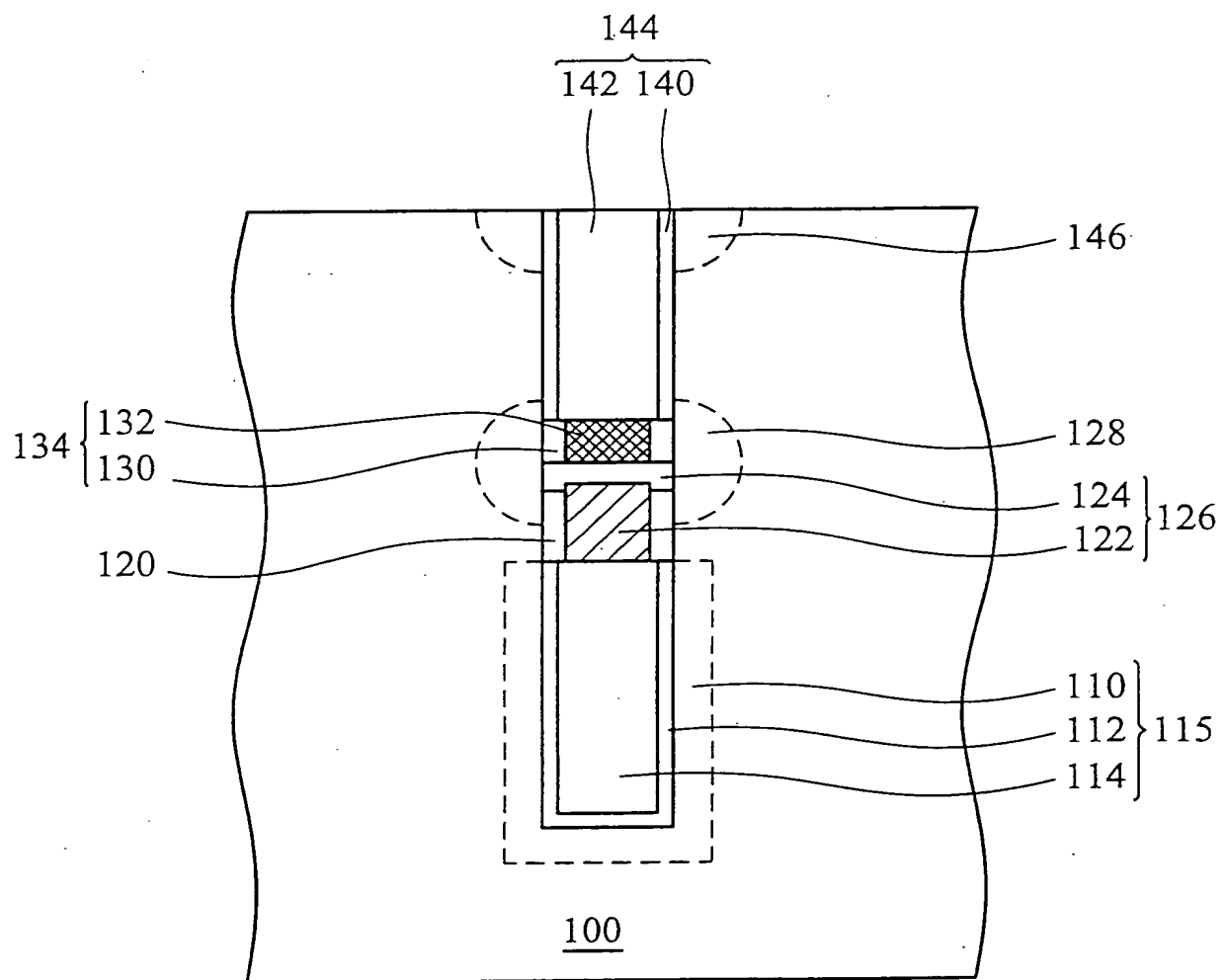
第 1 圖



第 2 圖

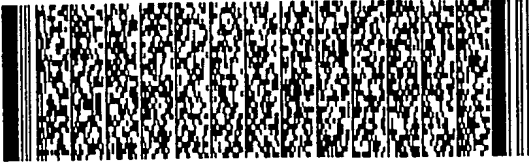


第 3 圖

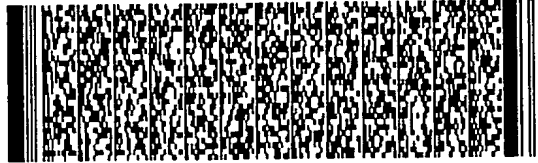


第 4 圖

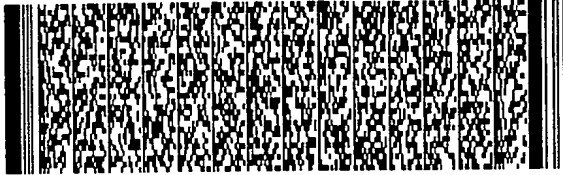
第 1/24 頁



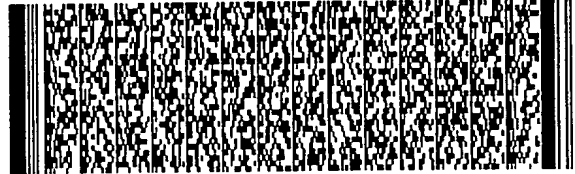
第 1/24 頁



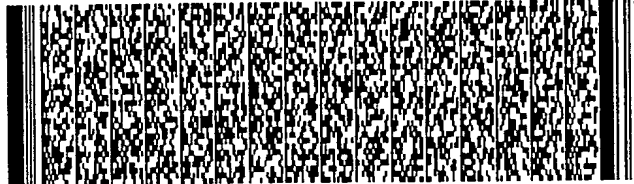
第 2/24 頁



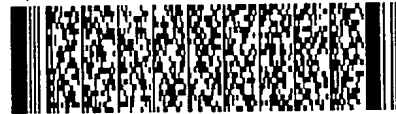
第 2/24 頁



第 3/24 頁



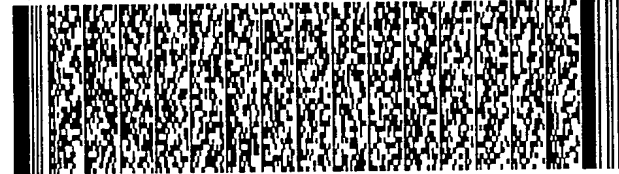
第 4/24 頁



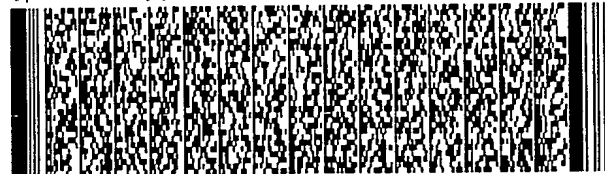
第 5/24 頁



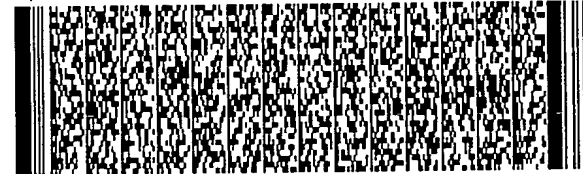
第 6/24 頁



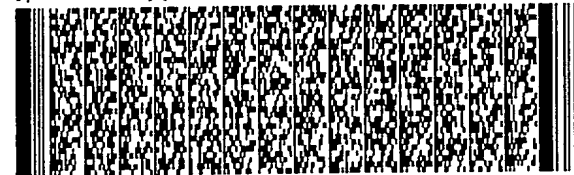
第 6/24 頁



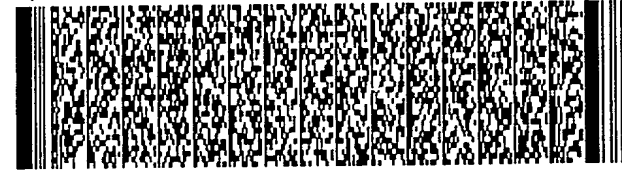
第 7/24 頁



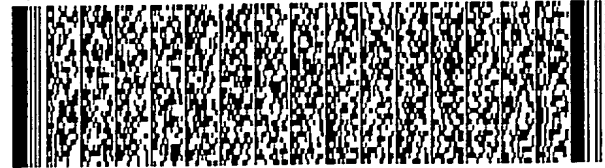
第 7/24 頁



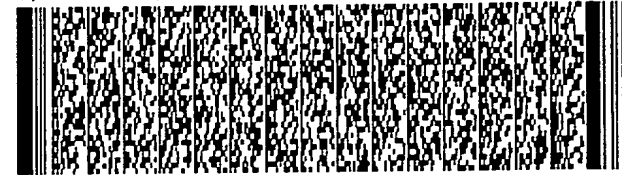
第 8/24 頁



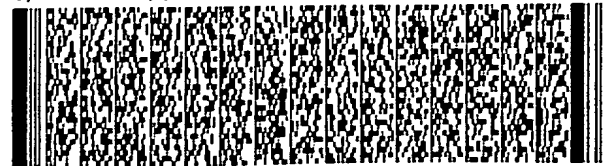
第 8/24 頁



第 9/24 頁



第 9/24 頁

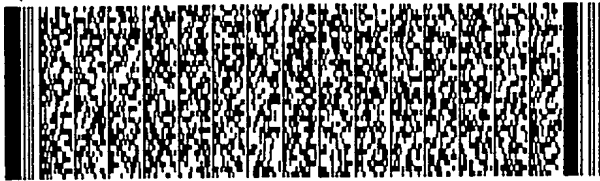


第 10/24 頁



BEST AVAILABLE COPY

第 10/24 頁



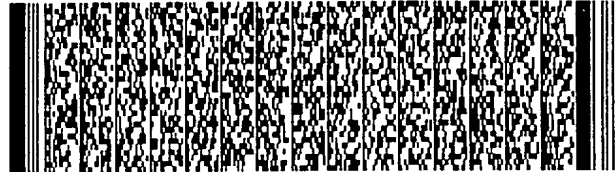
第 11/24 頁



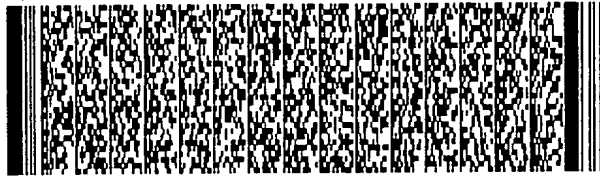
第 11/24 頁



第 12/24 頁



第 12/24 頁



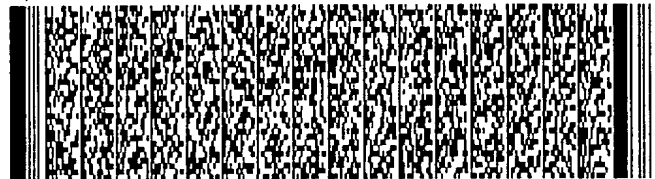
第 13/24 頁



第 13/24 頁



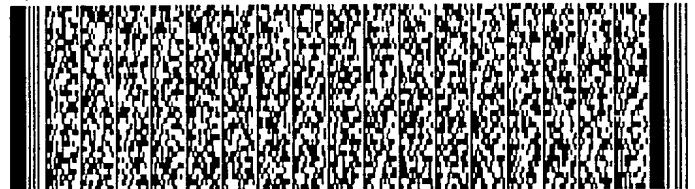
第 14/24 頁



第 15/24 頁



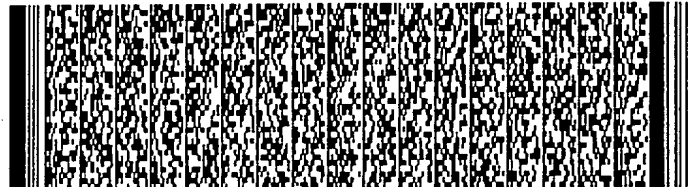
第 16/24 頁



第 17/24 頁



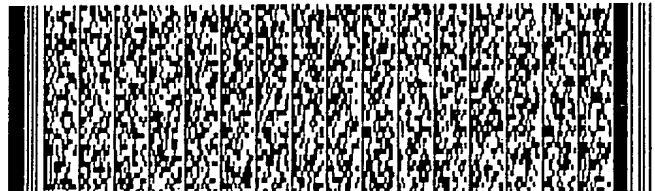
第 18/24 頁



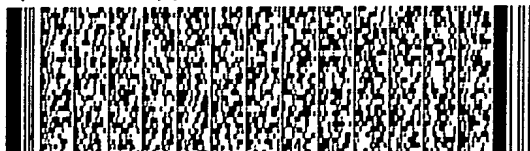
第 19/24 頁



第 20/24 頁



第 21/24 頁



第 21/24 頁



BEST AVAILABLE COPY

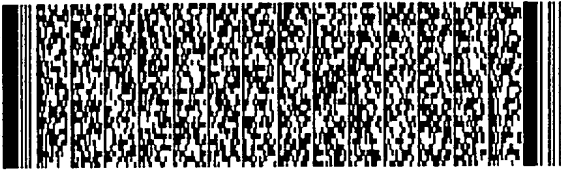
第 22/24 頁



第 23/24 頁



第 24/24 頁



BEST AVAILABLE COPY